

PAT-NO: JP411260243A

DOCUMENT-IDENTIFIER: JP 11260243 A

TITLE: ELECTRON-EMITTING ELEMENT, ELECTRON SOURCE USING THE  
SAME, IMAGE FORMING DEVICE, AND THEIR MANUFACTURE

PUBN-DATE: September 24, 1999

INVENTOR-INFORMATION:

NAME	COUNTRY
ISHIZAKI, AKIYOSHI	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
CANON INC	N/A

APPL-NO: JP10060906

APPL-DATE: March 12, 1998

INT-CL (IPC): H01J001/30, H01J009/02 , H01J029/04 , H01J031/12

ABSTRACT:

PROBLEM TO BE SOLVED: To impart a stable and uniform electron emission characteristic and improve electron emission efficiency by dividing a conductive film into at least two conductive regions, having different conductivity each other and setting each conductive region to have a linear shape.

SOLUTION: A substrate 1, after being sufficiently cleaned with neutral detergent and pure water, is exposed to silane coupling agent atmosphere to impart through uniform hydrophobicity. Element electrodes 2, 3 are formed at desired positions on the substrate 1 provided with a silane coupling treatment. A conductive film 4, made of metal or organic metallic compound is accumulated on this substrate 1 using Langmuir-Blodgett's technique (LB technique). With the use of the LB technique, the conductive film 4 which has a plurality of linear conductive regions having different conductivity and controls film thickness distribution can be easily accumulated between facing element electrodes with satisfactory reproducibility. Each of the linear conductive regions of the conductive film 4 preferably has a width line range of 10-300 nm. The difference of the conductivity in the conductive regions of the conductive film 4 is due to the difference is the film thickness.

COPYRIGHT: (C)1999,JPO

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-260243

(43)公開日 平成11年(1999) 9月24日

(51)Int.Cl.<sup>8</sup>

識別記号

F I

H 0 1 J 1/30  
9/02  
29/04  
31/12

H 0 1 J 1/30  
9/02  
29/04  
31/12

E  
E  
C

審査請求 未請求 請求項の数16 O L (全 22 頁)

(21)出願番号 特願平10-60906

(22)出願日 平成10年(1998) 3月12日

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 石崎 明美

東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

(74)代理人 弁理士 渡辺 敬介 (外1名)

(54)【発明の名称】 電子放出素子、それを用いた電子源、画像形成装置及びそれらの製造方法

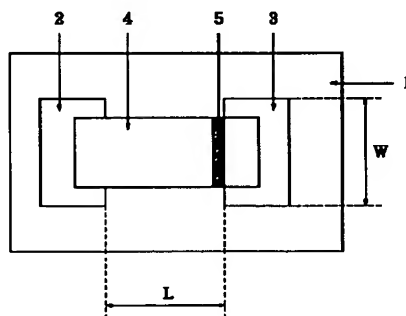
(57)【要約】

【課題】 高品位画像形成装置を実現し得る電子ビーム源としての電子放出素子を提供する。

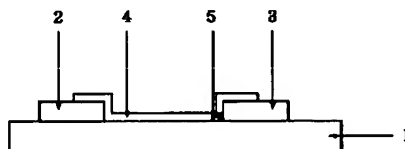
【解決手段】 素子電極2、3間に、導電率が異なる複数の線状の導電領域を有する導電性膜4を備えることを特徴とする。

【効果】 均一で幅の狭い電子放出部5を精度良く形成でき、素子特性の均一化が実現される。

(a)



(b)



## 【特許請求の範囲】

【請求項1】 基板上に対向して設けられた電極間に、電子放出部を有する導電性膜を備える電子放出素子において、前記導電性膜は、導電率が互いに異なる少なくとも2つの導電領域に区分され、かつ、各々の導電領域が線状であることを特徴とする電子放出素子。

【請求項2】 前記導電性膜の線状の導電領域の各々が、10nm～300nmの線幅を持つことを特徴とする請求項1に記載の電子放出素子。

【請求項3】 前記導電性膜の各導電領域の導電率の違いが、各導電領域の導電性膜の膜厚の違いによるものであることを特徴とする請求項1または2に記載の電子放出素子。

【請求項4】 膜厚の厚い前記導電領域の膜厚に対して、膜厚の薄い前記導電領域の膜厚が30～80%の範囲内であることを特徴とする請求項3に記載の電子放出素子。

【請求項5】 前記導電性膜の各導電領域の導電率の違いが、各導電領域の導電性膜の化学状態の違いによるものであることを特徴とする請求項1または2に記載の電子放出素子。

【請求項6】 前記電子放出部は、一方の電極の一端面に沿って形成されていることを特徴とする請求項1～5のいずれかに記載の電子放出素子。

【請求項7】 前記電子放出素子が、表面伝導型電子放出素子であることを特徴とする請求項1～6のいずれかに記載の電子放出素子。

【請求項8】 請求項1～7のいずれかに記載の電子放出素子の製造方法において、前記導電性膜を形成する工程が、ラングミュア・プロジェクト法(LB法)を用いてLB膜を形成する工程を含むことを特徴とする電子放出素子の製造方法。

【請求項9】 前記LB膜を形成する際、互いに対向する電極の対向面に平行な方向に前記基板を移動して浸漬することを特徴とする請求項8に記載の電子放出素子の製造方法。

【請求項10】 前記導電性膜を形成する工程が、前記LB膜を焼成する工程を含むことを特徴とする請求項8または9に記載の電子放出素子の製造方法。

【請求項11】 基板上に複数の電子放出素子が配列された電子源において、前記電子放出素子が、請求項1～7のいずれかに記載の電子放出素子であることを特徴とする電子源。

【請求項12】 前記複数の電子放出素子が、マトリクス状に配線されていることを特徴とする請求項11に記載の電子源。

【請求項13】 前記複数の電子放出素子が、梯子状に配線されていることを特徴とする請求項11に記載の電子源。

【請求項14】 基板上に複数の電子放出素子が配列さ

れた電子源の製造方法において、前記電子放出素子が、請求項8～10のいずれかに記載の方法にて製造されることを特徴とする電子源の製造方法。

【請求項15】 基板上に複数の電子放出素子が配列された電子源と、該電子源から放出される電子線の照射により画像を形成する画像形成部材とを有する画像形成装置において、前記電子源が、請求項11～13のいずれかに記載の電子源であることを特徴とする画像形成装置。

【請求項16】 基板上に複数の電子放出素子が配列された電子源と、該電子源から放出される電子線の照射により画像を形成する画像形成部材とを有する画像形成装置の製造方法において、前記電子源が、請求項14に記載の方法にて製造されることを特徴とする画像形成装置の製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電子放出素子、該電子放出素子を多数個配置してなる電子源、及び該電子源を用いて構成した表示装置や露光装置等の画像形成装置に関する。

【0002】

【従来の技術】従来より、電子放出素子には大別して熱電子放出素子と冷陰極電子放出素子の2種類が知られている。冷陰極電子放出素子には電界放出型(以下、「FE型」と称す。)、金属/絶縁層/金属型(以下、「MIM型」と称す。)や表面伝導型電子放出素子等がある。

【0003】FE型の例としては、W. P. Dyke and W. W. Dolan, "Field Emission", Advance in Electron Physics, 8, 89 (1956)あるいはC. A. Spindt, "Physical Properties of thin-film field emission cathodes with molybdenum cones", J. Appl. Phys., 47, 5248 (1976)等に開示されたものが知られている。

【0004】MIM型の例としては、C. A. Mead, "Operation of Tunnel-Emission Devices", J. Appl. Phys., 32, 646 (1961)等に開示されたものが知られている。

【0005】表面伝導型電子放出素子の例としては、M. I. Elinson, Radio Eng. Electron Phys., 10, 1290 (1965)等に開示されたものがある。

【0006】表面伝導型電子放出素子は、絶縁性基板上に形成された小面積の薄膜に、膜面に平行に電流を流すことにより、電子放出が生ずる現象を利用するものであ

る。この表面伝導型電子放出素子としては、前記エリソン等による $\text{SnO}_2$  薄膜を用いたもの、Au薄膜によるもの[G. Dittmer: "Thin Solid Films", 9, 317 (1972)]、 $\text{In}_2\text{O}_3/\text{SnO}_2$  薄膜によるもの[M. Hartwell and C. G. Fonstad: "IEEE Trans. ED Conf.", 519 (1975)]、カーボン薄膜によるもの[荒木久 他: 真空、第26巻、第1号、22頁(1983)]等が報告されている。

【0007】これらの表面伝導型電子放出素子の典型的な例として、前述のM. ハートウェルの素子構成を図18に模式的に示す。同図において1は基板である。4は導電性膜で、H形状のパターンに形成された金属酸化物薄膜等からなり、後述の通電フォーミングと呼ばれる通電処理により電子放出部5が形成される。尚、図中の間隔Lは、0.5~1mm、W'は、0.1mmで設定されている。

【0008】これらの表面伝導型電子放出素子においては、電子放出を行う前に導電性膜4を予め通電フォーミングと呼ばれる通電処理によって電子放出部5を形成するのが一般的である。即ち、通電フォーミングとは、前記導電性膜4の両端に電圧を印加通電し、導電性膜4を局所的に破壊、変形もしくは変質させて構造を変化させ、電気的に高抵抗な状態の電子放出部5を形成する処理である。尚、電子放出部5では導電性膜4の一部に亀裂が発生しており、その亀裂付近から電子放出が行われる。

【0009】上述の表面伝導型電子放出素子は、構造が単純であることから、大面積に亘って多数素子を配列形成できる利点がある。そこで、この特徴を活かすための種々の応用が研究されている。例えば、荷電ビーム源、表示装置等の画像形成装置への利用が挙げられる。

【0010】従来、多数の表面伝導型電子放出素子を配列形成した例としては、並列に表面伝導型電子放出素子を配列し、個々の表面伝導型電子放出素子の両端(両素子電極)を配線(共通配線とも呼ぶ)にて夫々結線した行を多数行配列(梯子型配置とも呼ぶ)した電子源が挙げられる(例えば、特開昭64-31332号公報、特開平1-283749号公報、同2-257552号公報)。

【0011】また、特に表示装置においては、液晶を用いた表示装置と同様の平板型表示装置とすることが可能で、しかもバックライトが不要な自発光型の表示装置として、表面伝導型電子放出素子を多数配置した電子源と、この電子源からの電子線の照射により可視光を発光する蛍光体とを組み合わせた表示装置が提案されている(アメリカ特許第5066883号明細書)。

【0012】

【発明が解決しようとする課題】上記のような表面伝導

型電子放出素子の実用化にあたり最も基本的な性能として、1素子における電子放出能力が電子放出部内の位置によらず均一かつ安定であり、更には、多数個の素子を形成した場合に、各素子の電子放出能力が均一であることが要求される。

【0013】しかしながら、従来の表面伝導型電子放出素子においては、以下のような様々の問題があった。

【0014】従来、金属あるいは金属酸化物からなる導電性膜の形成には、蒸着法やスパッタ法などの真空プロセスによらない比較的安価な方法として、有機パラジウム錯体などの有機金属錯体を適当な方法で基板上に堆積し、引き続きこれを加熱し、有機部位を除去するという方法が利用されている。この際、加熱を酸素雰囲気下で行うとパラジウムが酸化されて、酸化パラジウム膜が形成される。かかる有機パラジウム錯体の一例としては、パラジウム1当量に対して2当量のアルキルアミンと2当量の脂肪酸(酢酸を含む)からなる錯体を挙げる事ができる。この様な有機パラジウム錯体を基板上に堆積させる方法としては、回転塗布法が一般的に用いられている。然し一般に有機金属錯体は凝集性が高いため、回転塗布法を用いた場合、形成した導電性膜中に凝集による突起(数百nm)が生じる場合があり、均一な膜を得ることは必ずしも容易でなかった。

【0015】また、電子放出部を形成するためには前述の通電フォーミングを施すが、かかるフォーミングによって形成される電子放出部の位置は、成膜された導電性膜の膜厚がより薄い部分に沿って形成される傾向がある。これは、フォーミングによって生じる熱が、抵抗の高い部分でより多く発生するためである。従って、成膜された導電性膜の膜厚がランダムにばらついていたり、導電性膜中に凝集による突起が存在していると、形成される電子放出部の位置が導電性膜の中で大きく蛇行してしまい、電子放出部の位置制御ができないという問題があった。

【0016】また、導電性膜に形成される電子放出部の幅は、細く、均一であることが望ましい。これは、後述する活性化が均一に達成され、結果的に良好な電子放出機能が得られるからである。しかしながら、上述のように形成した導電性膜に通電フォーミングによって電子放出部を形成すると、その幅は数十nmから数千nmの間で大きくバラツク傾向があった。そして、電子放出部の幅に大きなばらつきを持った素子に対して後述する活性化工程を施す場合、極端に幅の広い領域を活性化するまでには長時間の処理が必要であった。また、極端に幅の広い領域の活性化時間を早くするため、駆動電圧を上げたり、活性化ガス圧を上げた場合、幅の狭い領域の破壊、変形等による劣化が進行し、その結果電子放出特性が低下してしまうという問題があった。

【0017】このため、より均一且つ高効率な電子放出特性を持つ素子を得るためには、所望の均一性を有する

導電性膜の形成と、均一性の良好な細い線幅を有する電子放出部の形成が重要となる。

【0018】本発明の目的は、上述した解決すべき技術的課題を解決し、安定で均一な電子放出特性を有し、且つ電子放出の効率向上を図った電子放出素子を提供することにある。本発明の別の目的は、輝度ムラが無く且つ高輝度で動作安定性に優れた画像形成装置を提供することにある。

【0019】

【課題を解決するための手段】上記の目的を達成すべく成された本発明の構成は、以下の通りである。

【0020】即ち、本発明の第一は、基板上に対向して設けられた電極間に、電子放出部を有する導電性膜を備える電子放出素子において、前記導電性膜は、導電率が互いに異なる少なくとも2つの導電領域に区分され、かつ、各々の導電領域が線状であることを特徴とする電子放出素子にある。

【0021】上記本発明第一の電子放出素子は、更にその特徴として、「前記導電性膜の線状の導電領域の各々が、10nm～300nmの線幅を持つ」こと、「前記導電性膜の各導電領域の導電率の違いが、各導電領域の導電性膜の膜厚の違いによるものである」こと、「膜厚の厚い前記導電領域の膜厚に対して、膜厚の薄い前記導電領域の膜厚が30～80%の範囲内である」こと、「前記導電性膜の各導電領域の導電率の違いが、各導電領域の導電性膜の化学状態の違いによるものである」こと、「前記電子放出部は、一方の電極の一端面に沿って形成されている」こと、「表面伝導型電子放出素子である」こと、をも含むものである。

【0022】また、本発明の第二は、上記本発明第一の電子放出素子の製造方法において、前記導電性膜を形成する工程が、ラングミュア・プロジェクト法(LB法)を用いてLB膜を形成する工程を含むことを特徴とする電子放出素子の製造方法にある。

【0023】上記本発明第二の製造方法は、更にその特徴として、「前記LB膜を形成する際、互いに対向する電極の対向面に平行な方向に前記基板を移動して浸漬する」こと、「前記導電性膜を形成する工程が、前記LB膜を焼成する工程を含む」こと、をも含むものである。

【0024】また、本発明の第三は、基板上に複数の電子放出素子が配列された電子源において、前記電子放出素子が、上記本発明第一の電子放出素子であることを特徴とする電子源にある。

【0025】上記本発明第三の電子源は、更にその特徴として、「前記複数の電子放出素子が、マトリクス状に配線されている」こと、「前記複数の電子放出素子が、梯子状に配線されている」こと、をも含むものである。

【0026】また、本発明の第四は、基板上に複数の電子放出素子が配列された電子源の製造方法において、前記電子放出素子が、上記本発明第二の方法にて製造され

ることを特徴とする電子源の製造方法にある。

【0027】また、本発明の第五は、基板上に複数の電子放出素子が配列された電子源と、該電子源から放出される電子線の照射により画像を形成する画像形成部材とを有する画像形成装置において、前記電子源が、上記本発明第三の電子源であることを特徴とする画像形成装置にある。

【0028】更に、本発明の第六は、基板上に複数の電子放出素子が配列された電子源と、該電子源から放出される電子線の照射により画像を形成する画像形成部材とを有する画像形成装置の製造方法において、前記電子源が、上記本発明第四の方法にて製造されることを特徴とする画像形成装置の製造方法にある。

【0029】先述したように、通電フォーミングによって形成される電子放出部の位置は、成膜された導電性膜の膜厚がより薄い部分に沿って形成される傾向がある。これは、通電フォーミングによって生じる熱が抵抗の高い部分で、より多く発生するためである。従って、導電性膜において、特定の領域を他の領域よりも薄い膜厚で形成するならば、電子放出部の位置を制御することが可能となる。しかしながら、該特定領域以外の膜厚が全体的に厚い場合、その領域は低抵抗化してしまうため、通電フォーミングに必要な電力が増大するのみならず、電子放出部となる亀裂の幅が必要以上に広がり、電子放出特性が低下してしまう。

【0030】本発明は、上記の欠点を避け、電子放出部を均一な線幅に制御して形成するために、単に電子放出部を形成しようとする導電性膜内の所望の領域の導電率(抵抗)のみを他の領域と異ならせるのではなく、電子放出部となる領域以外の領域においても導電率が互いに異なる少なくとも2つの導電領域に区分し、かつ、各々の導電領域を線状とすることにより、通電フォーミング時に所望の領域に形成される亀裂の幅が必要以上に広くなるのを防止し、細く均一な幅の亀裂を形成することを可能にしたものである。

【0031】特に、導電性膜の形成にラングミュア・プロジェクト法(LB法)を用いることにより、互いに導電率の異なる一対の線状の導電領域を電極の一端面に沿って形成することができる。これにより、その後の通電フォーミングにおいて、上記電極の一端面に沿って細く均一な幅の亀裂を形成することができ、電子放出部の位置制御も可能である。

【0032】

【発明の実施の形態】次に、本発明の好ましい実施態様を示す。

【0033】本発明を適用し得る電子放出素子は、先述したような冷陰極型の電子放出素子に分類されるもので、それらの中でも電子放出特性等の観点から特に表面伝導型の電子放出素子と云える。

【0034】図1は、本発明の表面伝導型電子放出素子

の基本的な一構成例を示す模式図であり、図1(a)は平面図、図1(b)は縦断面図である。図1において、1は基板、2と3は電極(素子電極)、4は導電性膜、5は電子放出部である。

【0035】基板1としては、石英ガラス、Na等の不純物含有量を減少したガラス、青板ガラス、青板ガラスにスパッタ法等により形成した $\text{SiO}_2$ を積層したガラス基板及びアルミナ等のセラミックス及びSi基板等を用いることができるが、後述するように本発明に係る導電性膜4の形成工程にふさわしく、かつ取り扱いの簡便さから石英もしくは青板ガラスの利用が好ましい。

【0036】素子電極2, 3の材料としては、一般的な導体材料を用いることができる。これは例えばNi, Cr, Au, Mo, W, Pt, Ti, Al, Cu, Pd等の金属或は合金およびPd, Ag, Au,  $\text{RuO}_2$ , Pd-Ag等の金属或は、金属酸化物とガラス等から構成される印刷導体、 $\text{In}_2\text{O}_3$ - $\text{SnO}_2$ 等の透明導電体及びポリシリコン等の半導体導体材料等から適宜選択することができる。

【0037】素子電極長さW、素子電極間の幅L、素子電極2, 3の形状等は、応用される形態等を考慮して、設計される。素子電極長さWは、好ましくは数百nm~数百 $\mu\text{m}$ の範囲であるが、素子電極間に後述のごとく印加する電圧は低いほうが望ましく、また該素子電極を再現性良く形成することが要求されるため、更に好ましい該素子電極長さWは、数 $\mu\text{m}$ ~数十 $\mu\text{m}$ である。また、素子電極間の幅Lは、電極の抵抗値及び最終的な電子放出特性を考慮すると、1 $\mu\text{m}$ ~500 $\mu\text{m}$ が望ましく、該素子電極2, 3の膜厚dは、数 $\mu\text{m}$ ~数 $\mu\text{m}$ が好ましい。

【0038】導電性膜4を構成する主な材料としては、例えばAu, Mo, W, Pt, Al, Pd等の金属或は合金及びPd, Ru, Ag, Au, Ti, In, Cu, Cr, Ni, Fe, Zn, Sn, Ta, W等の金属、 $\text{PdO}$ ,  $\text{SnO}_2$ ,  $\text{In}_2\text{O}_3$ ,  $\text{PbO}$ ,  $\text{Sb}_2\text{O}_3$ 等の金属酸化物、もしくは該金属或は該金属酸化物を構成要素とする有機金属錯体等の有機金属化合物が挙げられる。

【0039】電子放出部5は、導電性膜4の一部に形成された高抵抗の亀裂により構成される。電子放出部5の内部には、数Åから数十nmの範囲の粒径の導電性微粒子が存在する場合もある。この導電性微粒子は、導電性膜4を構成する材料の元素の一部、あるいは全ての元素を含有するものとなる。また、電子放出部5及びその近傍の導電性膜4には、炭素あるいは炭素化合物を有する場合もある。

【0040】本発明の表面伝導型電子放出素子の製造方法としては様々な方法があるが、その一例を図2に基づいて説明する。尚、図2においても図1に示した部位と

る。

【0041】1) 基板1を中性洗剤および純水により十分に洗浄後、シランカップリング剤雰囲気中に曝露して該基板1に一般的な疎水性を付与する。シランカップリング剤は特にその種類を限定するものではないが、汎用性等の観点から例えば1, 1, 1, 3, 3, 3, ...ヘキサメチルジシラザンを用いることが望ましい。このシランカップリング処理は、後述の導電性膜の形成に特にラングミュア・プロジェクト法(以下、「LB法」と称す。)にて基板上に均一かつ密度の高い薄膜を比較的容易に再現性良く堆積する場合に必須である。

【0042】上記シランカップリング処理した基板1の所望の位置に、素子電極2, 3を形成する(図2(a))。具体的には、メタルマスクを用いた真空蒸着法、スパッタ、CVD法等で素子電極材料を堆積した後、レジスト塗布・露光・エッチング、またはリフトオフ法、もしくは、印刷等の方法を用いることが可能である。

【0043】2) 次に、上記素子電極2, 3を形成した基板1上に金属或いは金属酸化物或いは有機金属化合物からなる導電性膜4をLB法を用いて堆積する(図2(b))。LB法によれば、対向する素子電極間に導電率が異なる複数の線状の導電領域を有し、膜厚分布を制御した導電性膜4を比較的容易に再現性良く堆積することができる。また、LB膜を形成する際、対向する素子電極の対向面に平行な方向に基板1を移動して浸漬することにより、互いに導電率の異なる一対の線状の導電領域を電極の一端面に沿って形成することができ、後述の通電フォーミングにおいて、素子電極の一端面に沿って細く均一な幅の亀裂を形成することができる。。

【0044】以下、LB法による金属或は金属酸化物或いは有機金属化合物からなる導電性膜4を、その膜厚分布を制御した形で、対向する素子電極2, 3間に堆積する方法について述べる。

【0045】LB法による堆積に特に好適な態様として、PdもしくはPdOを構成要素とする有機金属錯体を用いることができ、まずLB法による堆積を行い、引き続き該堆積膜の有機成分を除去し導電性を付与するために、該堆積膜を300℃以上の温度で加熱焼成を行う。この際に用いる有機錯体は、かかる焼成で完全に分解する材料が望ましい。具体的には、PdもしくはPdOを構成要素として含む前記有機金属錯体として、例えば1当量のPdと2当量の脂肪酸(酢酸を含む)の塩に2当量のアルキルアミンが配位した錯体を用いることができる。

【0046】また、上記錯体中のアルキル鎖の少なくとも1つが炭素数16以上であることが望ましい。また、上記錯体をLB法を用いて堆積するのに好適な両親媒性化合物(以下、「バインダー」と称す。)と混合した上で用いても良い。このようなバインダーとしては、炭素

10

20

30

40

50

数18以上30以下の不飽和脂肪酸が挙げられる。また、ポリイソブチルメタアクリレート、ポリ酪酸等の高分子材料を用いることができる。前記有機金属錯体と該バインダーの混合比については特に制限を受けないが、通常モル比で前記有機金属錯体1に対してバインダーが0.1~100になるように選択される。バインダーによるLB膜形成能とPdもしくはPdOの面内密度の維持の均衡を考慮して、より好ましいバインダーの混合比率は、モル比で前記有機金属錯体1に対してバインダーが0.4~10である。

【0047】基板1上に堆積するLB膜の総数は、最終的な電子放出特性が得られる程度であり、100~300層程度を累積し、素子電極2,3間に膜厚分布を制御したLB膜を形成する。次に、導電性となった該導電性膜の不要な部分を除去する。除去の方法として例えばフォトリソグラフィ法、印刷法、メタルマスク等のハードマスクにより該導電性膜の必要部分にマスクを形成する。その後マスク以外の部分を除去し、最後にマスク材料を除去する。

【0048】3) 続いて、フォーミング工程を施す。このフォーミング工程の方法の一例として通電処理による方法を説明する。素子電極2,3間に、不図示の電源より通電すると、導電性膜4の部位に亀裂が発生し、電子放出部5が形成される(図2(c))。

【0049】本発明においては、上述のLB法により、導電性膜4の全領域に渡って導電率が互いに異なる複数の線状の導電領域を形成しているため、フォーミング時に形成される亀裂の幅が必要以上に広くなることなく、細く均一な幅の亀裂が形成される。特に、導電率の異なる一対の線状の導電領域を素子電極の一端面に沿って形成することにより、該端面に沿った細く均一な幅の亀裂を形成することができ、電子放出部の位置を制御することもできる。

【0050】通電フォーミングの電圧波形の例を図3に示す。

【0051】電圧波形は、特にパルス波形が好ましい。これにはパルス波高値を定電圧としたパルスを連続的に印加する図3(a)に示した手法と、パルス波高値を増加させながらパルスを印加する図3(b)に示した手法がある。

【0052】まず、パルス波高値を定電圧とした場合について図3(a)で説明する。図3(a)におけるT1及びT2は電圧波形のパルス幅とパルス間隔である。三角波の波高値(通電フォーミング時のピーク電圧)は、表面伝導型電子放出素子の形態に応じて適宜選択される。このような条件のもと、例えば、数秒から数十分間電圧を印加する。パルス波形は、三角波に限定されるものではなく、矩形波等の所望の波形を採用することができる。

【0053】次に、パルス波高値を増加させながら電圧

パルスを印加する場合について図3(b)で説明する。図3(b)におけるT1及びT2は、図3(a)に示したのと同様とすることができる。三角波の波高値(通電フォーミング時のピーク電圧)は、例えば0.1Vステップ程度ずつ、増加させることができる。

【0054】通電フォーミング処理の終了は、パルス間隔T2中に、導電性膜4を局所的に破壊、変形しない程度の電圧を印加し、電流を測定して検知することができる。例えば0.1V程度の電圧印加により流れる電流を測定し、抵抗値を求めて、1MΩ以上の抵抗を示した時、通電フォーミングを終了させる。

【0055】4) フォーミングを終えた素子には活性化工程と呼ばれる処理を施すのが好ましい。この活性化工程により、素子電流If, 放出電流Ieを、著しく変化させることができる。

【0056】活性化工程は、例えば、有機物質のガスを含有する雰囲気中で、通電フォーミングと同様に、素子電極2,3間にパルスの印加を繰り返すことで行うことができる。この雰囲気は、例えば油拡散ポンプやロータリーポンプなどを用いて真空容器内を排気した場合に雰囲気内に残留する有機ガスを利用して形成することができる他、イオンポンプなどにより一旦十分に排気した真空中に適当な有機物質のガスを導入することによっても得られる。このときの好ましい有機物質のガス圧は、前述の素子の形態、真空容器の形状や、有機物質の種類などにより異なるため、場合に応じ適宜設定される。適当な有機物質としては、アルカン、アルケン、アルキンの脂肪族炭化水素類、芳香族炭化水素類、アルコール類、アルデヒド類、ケトン類、アミン類、フェノール、カルボン、スルホン酸等の有機酸類等を挙げることが出来、具体的には、メタン、エタン、プロパンなどC<sub>n</sub>H<sub>2n+2</sub>で表される飽和炭化水素、エチレン、プロピレンなどC<sub>n</sub>H<sub>2n</sub>等の組成式で表される不飽和炭化水素、ベンゼン、トルエン、メタノール、エタノール、ホルムアルデヒド、アセトアルデヒド、アセトン、メチルエチルケトン、メチルアミン、エチルアミン、フェノール、蟻酸、酢酸、プロピオン酸等が使用できる。この処理により、雰囲気中に存在する有機物質から、炭素あるいは炭素化合物が素子上に堆積し、素子電流If, 放出電流Ieが、著しく変化するようになる。

【0057】炭素あるいは炭素化合物とは、例えばグラファイト(いわゆるHOPG, PG, GCを包含するもので、HOPGはほぼ完全なグラファイト結晶構造、PGは結晶粒が20nm程度で結晶構造がやや乱れたもの、GCは結晶粒が2nm程度になり結晶構造の乱れがさらに大きくなったものを指す。)、非晶質カーボン(アモルファスカーボン及び、アモルファスカーボンと前記グラファイトの微結晶の混合物を指す。)であり、その膜厚は、50nm以下の範囲とするのが好ましく、30nm以下の範囲とすることがより好ましい。



【0058】活性化工程の終了判定は、素子電流 $I_f$ と放出電流 $I_e$ を測定しながら、適宜行うことができる。なお、パルス幅、パルス間隔、パルス波高値などは適宜設定される。

【0059】5)このような工程を経て得られた電子放出素子は、安定化工程を行うことが好ましい。この工程は、真空容器内の有機物質を排気する工程である。真空容器を排気する真空排気装置は、装置から発生するオイルが素子の特性に影響を与えないように、オイルを使用しないものを用いるのが好ましい。具体的には、ソー

ションポンプ、イオンポンプ等の真空排気装置を挙げることが出来る。

【0060】前記活性化の工程で、排気装置として油拡散ポンプやロータリーポンプを用い、これから発生するオイル成分に由来する有機ガスをを用いた場合には、この成分の分圧を極力低く抑える必要がある。真空容器内の有機成分の分圧は、上記炭素あるいは炭素化合物がほぼ新たに堆積しない分圧で $1 \times 10^{-6}$  Pa以下が好ましく、さらには $1 \times 10^{-8}$  Pa以下が特に好ましい。さらに真空容器内を排気するときには、真空容器全体を加熱して、真空容器内壁や、電子放出素子に吸着した有機物質分子を排気しやすくするのが好ましい。このときの加熱条件は、80～250℃好ましくは150℃以上で、できるだけ長時間処理するのが望ましいが、特にこの条件に限るものではなく、真空容器の大きさや形状、電子放出素子の構成などの諸条件により適宜選ばれる条件により行う。真空容器内の圧力は極力低くすることが必要で、 $1 \times 10^{-5}$  Pa以下が好ましく、さらには $1 \times 10^{-6}$  Pa以下が特に好ましい。

【0061】安定化工程を行った後の、駆動時の雰囲気は、上記安定化処理終了時の雰囲気を維持するのが好ましいが、これに限るものではなく、有機物質が十分除去されていれば、圧力自体は多少上昇しても十分安定な特性を維持することが出来る。このような真空雰囲気を採用することにより、新たな炭素あるいは炭素化合物の堆積を抑制でき、結果として素子電流 $I_f$ 、放出電流 $I_e$ が、安定する。

【0062】上述した工程を経て得られた本発明の電子放出素子の基本特性について、図4、図5を参照しながら説明する。

【0063】図4は、真空処理装置の一例を示す模式図であり、この真空処理装置は測定評価装置としての機能をも兼ね備えている。図4においても、図1に示した部位と同じ部位には図1に付した符号と同一の符号を付している。

【0064】図4において、55は真空容器であり、56は排気ポンプである。真空容器55内には電子放出素子が配されている。また、51は電子放出素子に素子電圧 $V_f$ を印加するための電源、50は素子電極2、3間の導電性膜4を流れる素子電流 $I_f$ を測定するための電

流計、54は素子の電子放出部5より放出される放出電流 $I_e$ を捕捉するためのアノード電極、53はアノード電極54に電圧を印加するための高圧電源、52は電子放出部5より放出される放出電流 $I_e$ を測定するための電流計である。一例として、アノード電極54の電圧を1KV～10KVの範囲とし、アノード電極54と電子放出素子との距離 $H$ を2～8mmの範囲として測定を行うことができる。

【0065】真空容器55内には、不図示の真空計等の真空雰囲気下での測定に必要な機器が設けられていて、所望の真空雰囲気下での測定評価を行えるようになっている。

【0066】排気ポンプ56は、ターボポンプ、ロータリーポンプ等からなる通常の高真空装置系と、イオンポンプ等からなる超高真空装置系とにより構成されている。ここに示した電子放出素子基板を配した真空処理装置の全体は、不図示のヒーターにより250℃まで加熱できる。従って、この真空処理装置を用いると、前述の通電フォーミング以降の工程も行うことができる。

【0067】図5は、図4に示した真空処理装置を用いて測定された放出電流 $I_e$ 及び素子電流 $I_f$ と、素子電圧 $V_f$ との関係を模式的に示した図である。図5においては、放出電流 $I_e$ が素子電流 $I_f$ に比べて著しく小さいので、任意単位で示している。尚、縦・横軸ともリニアスケールである。

【0068】図5からも明らかなように、本発明を適用可能な表面伝導型電子放出素子は、放出電流 $I_e$ に関して次の3つの特徴的性質を有する。

【0069】即ち、第1に、本素子はある電圧（閾値電圧と呼ぶ；図5中の $V_{th}$ ）以上の素子電圧を印加すると急激に放出電流 $I_e$ が増加し、一方閾値電圧 $V_{th}$ 以下では放出電流 $I_e$ が殆ど検出されない。つまり、放出電流 $I_e$ に対する明確な閾値電圧 $V_{th}$ を持った非線形素子である。

【0070】第2に、放出電流 $I_e$ が素子電圧 $V_f$ に単調増加依存するため、放出電流 $I_e$ は素子電圧 $V_f$ で制御できる。

【0071】第3に、アノード電極54（図4参照）に捕捉される放出電荷は、素子電圧 $V_f$ を印加する時間に依存する。つまり、アノード電極54に捕捉される電荷量は、素子電圧 $V_f$ を印加する時間により制御できる。

【0072】以上の説明より理解されるように、本発明を適用可能な表面伝導型電子放出素子は、入力信号に応じて、電子放出特性を容易に制御できることになる。この性質を利用すると複数の電子放出素子を配して構成した電子源、画像形成装置等、多方面への応用が可能となる。

【0073】図5においては、素子電流 $I_f$ が素子電圧 $V_f$ に対して単調増加する（MI特性）例を示したが、素子電流 $I_f$ が素子電圧 $V_f$ に対して電圧制御型負性抵



抗特性（VCNR特性）を示す場合もある（不図示）。これらの特性は、前述の工程を制御することで制御できる。

【0074】本発明を適用可能な電子放出素子の応用例について以下に述べる。本発明を適用可能な表面伝導型電子放出素子を複数個基板上に配列し、例えば電子源あるいは、画像形成装置が構成できる。

【0075】電子放出素子の配列については、種々のものが採用できる。一例として、並列に配置した多数の電子放出素子の個々を両端で接続し、電子放出素子の行を多数個配し（行方向と呼ぶ）、この配線と直交する方向（列方向と呼ぶ）で、該電子放出素子の上方に配した制御電極（グリッドとも呼ぶ）により、電子放出素子からの電子を制御駆動する梯子状配置のものがある。これとは別に、電子放出素子をX方向及びY方向に行列状に複数個配し、同じ行に配された複数の電子放出素子の電極の一方を、X方向の配線に共通に接続し、同じ列に配された複数の電子放出素子の電極の他方を、Y方向の配線に共通に接続するものが挙げられる。このようなものは所謂単純マトリクス配置である。まず単純マトリクス配置について以下に詳述する。

【0076】本発明を適用可能な表面伝導型電子放出素子については、前述した通り3つの特性がある。即ち、表面伝導型電子放出素子からの放出電子は、閾値電圧以上では、対向する素子電極間に印加するパルス状電圧の波高値と幅で制御できる。一方、閾値電圧以下では、殆ど放出されない。この特性によれば、多数の電子放出素子を配置した場合においても、個々の素子にパルス状電圧を適宜印加すれば、入力信号に応じて、表面伝導型電子放出素子を選択して電子放出量を制御できる。

【0077】以下この原理に基づき、本発明を適用可能な電子放出素子を複数配して得られる電子源基板について、図6を用いて説明する。図6において、71は電子源基板、72はX方向配線、73はY方向配線である。74は表面伝導型電子放出素子、75は結線である。

【0078】m本のX方向配線72は、 $D \times 1$ 、 $D \times 2$ 、……、 $D \times m$ からなり、真空蒸着法、印刷法、スパッタ法等を用いて形成された導電性金属等で構成することができる。配線の材料、膜厚、幅は適宜設計される。Y方向配線73は、 $D_y 1$ 、 $D_y 2$ 、……、 $D_y n$ のn本の配線よりなり、X方向配線72と同様に形成される。これらm本のX方向配線72とn本のY方向配線73との間には、不図示の層間絶縁層が設けられており、両者を電気的に分離している（m、nは、共に正の整数）。

【0079】不図示の層間絶縁層は、真空蒸着法、印刷法、スパッタ法等を用いて形成された $SiO_2$ 等で構成される。例えば、X方向配線72を形成した基板71の全面或は一部に所望の形状で形成され、特に、X方向配線72とY方向配線73の交差部の電位差に耐え得るよ

うに、膜厚、材料、製法が適宜設定される。X方向配線72とY方向配線73は、それぞれ外部端子として引き出されている。

【0080】表面伝導型電子放出素子74を構成する一対の素子電極（不図示）は、それぞれm本のX方向配線72とn本のY方向配線73に、導電性金属等からなる結線75によって電気的に接続されている。

【0081】配線72と配線73を構成する材料、結線75を構成する材料及び一対の素子電極を構成する材料は、その構成元素の一部あるいは全部が同一であっても、また夫々異なってもよい。これらの材料は、例えば前述の素子電極の材料より適宜選択される。素子電極を構成する材料と配線材料が同一である場合には、素子電極に接続した配線は素子電極ということもできる。

【0082】X方向配線72には、X方向に配列した表面伝導型電子放出素子74の行を選択するための走査信号を印加する不図示の走査信号印加手段が接続される。一方、Y方向配線73には、Y方向に配列した表面伝導型電子放出素子74の各列を入力信号に応じて変調するための、不図示の変調信号発生手段が接続される。各電子放出素子に印加される駆動電圧は、当該素子に印加される走査信号と変調信号の差電圧として供給される。

【0083】上記構成においては、単純なマトリクス配線を用いて、個別の素子を選択し、独立に駆動可能とすることができる。

【0084】このような単純マトリクス配置の電子源を用いて構成した画像形成装置について、図7と図8及び図9を用いて説明する。図7は、画像形成装置の表示パネルの一例を示す模式図であり、図8は、図7の画像形成装置に使用される蛍光膜の模式図である。図9は、NTSC方式のテレビ信号に応じて表示を行うための駆動回路の一例を示すブロック図である。

【0085】図7において、71は電子放出素子を複数配した電子源基板、81は電子源基板71を固定したリアプレート、86はガラス基板83の内面に蛍光膜84とメタルバック85等が形成されたフェースプレートである。82は支持枠であり、該支持枠82には、リアプレート81、フェースプレート86がフリットガラス等を用いて接続されている。88は外囲器であり、例えば大気中あるいは窒素中で、400～500℃の温度範囲で10分間以上焼成することで、封着して構成される。

【0086】74は、図1に示したような電子放出素子である。72、73は、表面伝導型電子放出素子の一対の素子電極と接続されたX方向配線及びY方向配線である。

【0087】外囲器88は、上述の如く、フェースプレート86、支持枠82、リアプレート81で構成される。リアプレート81は主に基板71の強度を補強する目的で設けられるため、基板71自体で十分な強度を持つ場合は別体のリアプレート81は不要とすることがで

15

きる。即ち、基板71に直接支持棒82を封着し、フェースプレート86、支持棒82及び基板71で外囲器88を構成してもよい。一方、フェースプレート86とリアプレート81の間に、スペーサーと呼ばれる不図示の支持体を設置することにより、大気圧に対して十分な強度をもつ外囲器88を構成することもできる。

【0088】図8は、蛍光膜を示す模式図である。蛍光膜84は、モノクロームの場合は蛍光体のみで構成することができる。カラーの蛍光膜の場合は、蛍光体の配列により、ブラックストライプ(図8(a))あるいはブラックマトリクス(図8(b))等と呼ばれる黒色導電材91と蛍光体92とから構成することができる。ブラックストライプ、ブラックマトリクスを設ける目的は、カラー表示の場合、必要となる三原色蛍光体の各蛍光体92間の塗り分け部を黒くすることで混色等を目立たなくすることと、蛍光膜84における外光反射によるコントラストの低下を抑制することにある。黒色導電材91の材料としては、通常用いられている黒鉛を主成分とする材料の他、導電性があり、光の透過及び反射が少ない材料を用いることができる。

【0089】ガラス基板83に蛍光体を塗布する方法は、モノクローム、カラーによらず、沈澱法や印刷法等が採用できる。蛍光膜84の内面側には、通常メタルバック85が設けられる。メタルバックを設ける目的は、蛍光体の発光のうち内面側への光をフェースプレート86側へ鏡面反射することにより輝度を向上させること、電子ビーム加速電圧を印加するための電極として作用させること、外囲器内で発生した負イオンの衝突によるダメージから蛍光体を保護すること等である。メタルバックは、蛍光膜作製後、蛍光膜の内面側表面の平滑化处理(通常、「フィリミング」と呼ばれる。)を行い、その後A1を真空蒸着等を用いて堆積させることで作製できる。

【0090】フェースプレート86には、更に蛍光膜84の導電性を高めるため、蛍光膜84の外面側に透明電極(不図示)を設けてもよい。

【0091】前述の封着を行う際、カラーの場合は各色蛍光体と電子放出素子とを対応させる必要があり、十分な位置合わせが不可欠となる。

【0092】図7に示した画像形成装置は、例えば以下のようにして製造される。

【0093】外囲器88内は、前述の安定化工程と同様に、適宜加熱しながら、イオンポンプ、ソーブションポンプ等のオイルを使用しない排気装置により不図示の排気管を通じて排気し、 $10^{-5}$  Pa程度の真空度の有機物質の十分に少ない雰囲気にした後、封止が成される。外囲器88の封止後の真空度を維持するために、ゲッター処理を行うこともできる。これは、外囲器88の封止を行う直前あるいは封止後に、抵抗加熱あるいは高周波加熱等を用いた加熱により、外囲器88内の所定の位置に

16

配置されたゲッター(不図示)を加熱し、蒸着膜を形成する処理である。ゲッターは通常Ba等が主成分であり、該蒸着膜の吸着作用により、例えば $1 \times 10^{-5}$  Pa以上の真空度を維持するものである。ここで、表面伝導型電子放出素子のフォーミング処理以降の工程は、適宜設定できる。

【0094】次に、単純マトリクス配置の電子源を用いて構成した表示パネルに、NTSC方式のテレビ信号に基づいたテレビジョン表示を行うための駆動回路の構成例について、図9を用いて説明する。図9において、101は画像表示パネル、102は走査回路、103は制御回路、104はシフトレジスタ、105はラインメモリ、106は同期信号分離回路、107は変調信号発生器、 $V_x$ 及び $V_a$ は直流電圧源である。

【0095】表示パネル101は、端子 $D_{x1}$ 乃至 $D_{xm}$ 、端子 $D_{y1}$ 乃至 $D_{yn}$ 及び高圧端子87を介して外部の電気回路と接続している。端子 $D_{x1}$ 乃至 $D_{xm}$ には、表示パネル101内に設けられている電子源、即ち、 $m$ 行 $n$ 列の行列状にマトリクス配線された表面伝導型電子放出素子群を1行( $n$ 素子)づつ順次駆動する為の走査信号が印加される。端子 $D_{y1}$ 乃至 $D_{yn}$ には、前記走査信号により選択された1行の表面伝導型電子放出素子の各素子の出力電子ビームを制御する為の変調信号が印加される。高圧端子87には、直流電圧源 $V_a$ より、例えば10K[V]の直流電圧が供給されるが、これは表面伝導型電子放出素子から放出される電子ビームに、蛍光体を励起するのに十分なエネルギーを付与する為の加速電圧である。

【0096】走査回路102について説明する。同回路は、内部に $m$ 個のスイッチング素子(図中、 $S_1$ 乃至 $S_m$ で模式的に示している)を備えたものである。各スイッチング素子は、直流電圧電源 $V_x$ の出力電圧もしくは0[V](グラウンドレベル)のいずれか一方を選択し、表示パネル101の端子 $D_{x1}$ 乃至 $D_{xm}$ と電気的に接続される。各スイッチング素子 $S_1$ 乃至 $S_m$ は、制御回路103が出力する制御信号 $Tscan$ に基づいて動作するものであり、例えばFETのようなスイッチング素子を組み合わせることにより構成することができる。

【0097】直流電圧源 $V_x$ は、本例の場合には表面伝導型電子放出素子の特性(電子放出閾値電圧)に基づき、走査されていない素子に印加される駆動電圧が電子放出閾値電圧以下となるような一定電圧を出力するように設定されている。

【0098】制御回路103は、外部より入力される画像信号に基づいて適切な表示が行われるように、各部の動作を整合させる機能を有する。制御回路103は、同期信号分離回路106より送られる同期信号 $Tsync$ に基づいて、各部に対して $Tscan$ 、 $Tsft$ 及び $Tmry$ の各制御信号を発生する。

【0099】同期信号分離回路106は、外部から入力

されるNTSC方式のテレビ信号から、同期信号成分と輝度信号成分とを分離するための回路で、一般的な周波数分離（フィルター）回路等を用いて構成できる。同期信号分離回路106により分離された同期信号は、垂直同期信号と水平同期信号より成るが、ここでは説明の便宜上Tsync信号として図示した。前記テレビ信号から分離された画像の輝度信号成分は、便宜上DATA信号と表した。このDATA信号は、シフトレジスタ104に入力される。

【0100】シフトレジスタ104は、時系列的にシリアルに入力される前記DATA信号を、画像の1ライン毎にシリアル/パラレル変換するためのもので、前記制御回路103より送られる制御信号Tsftに基づいて動作する（即ち、制御信号Tsftは、シフトレジスタ104のシフトクロックであると言い換えてもよい。）。シリアル/パラレル変換された画像1ライン分のデータ（電子放出素子n素子分の駆動データに相当）は、Id1乃至Idnのn個の並列信号として前記シフトレジスタ104より出力される。

【0101】ラインメモリ105は、画像1ライン分のデータを必要時間の間だけ記憶する為の記憶装置であり、制御回路103より送られる制御信号Tmryに従って適宜Id1乃至Idnの内容を記憶する。記憶された内容は、Id'1乃至Id'nとして出力され、変調信号発生器107に入力される。

【0102】変調信号発生器107は、画像データId'1乃至Id'nの各々に応じて、表面伝導型電子放出素子の各々を適切に駆動変調する為の信号源であり、その出力信号は、端子Dy1乃至Dynを通じて表示パネル101内の表面伝導型電子放出素子に印加される。

【0103】前述したように、本発明を適用可能な電子放出素子は放出電流Ieに関して以下の基本特性を有している。即ち、電子放出には明確な閾値電圧Vthがあり、Vth以上の電圧が印加された時のみ電子放出が生じる。電子放出閾値以上の電圧に対しては、素子への印加電圧の変化に応じて放出電流も変化する。このことから、本素子にパルス状の電圧を印加する場合、例えば電子放出閾値電圧以下の電圧を印加しても電子放出は生じないが、電子放出閾値電圧以上の電圧を印加する場合には電子ビームが出力される。その際、パルスの波高値Vmを変化させることにより、出力電子ビームの強度を制御することが可能である。また、パルスの幅Pwを変化させることにより、出力される電子ビームの電荷の総量を制御することが可能である。

【0104】従って、入力信号に応じて電子放出素子を変調する方式としては、電圧変調方式とパルス幅変調方式等が採用できる。電圧変調方式を実施するに際しては、変調信号発生器107としては、一定長さの電圧パルスを発生し、入力されるデータに応じて適宜電圧パルスの波高値を変調できるような電圧変調方式の回路を用

いることができる。パルス幅変調方式を実施するに際しては、変調信号発生器107として、一定の波高値の電圧パルスを発生し、入力されるデータに応じて適宜電圧パルスの幅を変調するようなパルス幅変調方式の回路を用いることができる。

【0105】シフトレジスタ104やラインメモリ105は、デジタル信号式のものでもアナログ信号式のものでも採用できる。画像信号のシリアル/パラレル変換や記憶が所定の速度で行なわれれば良いからである。

【0106】デジタル信号式を用いる場合には、同期信号分離回路106の出力信号DATAをデジタル信号化する必要があるが、これには同期信号分離回路106の出力部にA/D変換器を設ければ良い。これに関連してラインメモリ105の出力信号がデジタル信号かアナログ信号かにより、変調信号発生器107に用いられる回路が若干異なったものとなる。即ち、デジタル信号を用いた電圧変調方式の場合、変調信号発生器107には、例えばD/A変換回路を用い、必要に応じて増幅回路等を付加する。パルス幅変調方式の場合、変調信号発生器107には、例えば高速の発振器及び発振器の出力する波数を計数する計数器（カウンタ）及び計数器の出力値と前記メモリの出力値を比較する比較器（コンパレータ）を組み合わせた回路を用いる。必要に応じて、比較器の出力するパルス幅変調された変調信号を表面伝導型電子放出素子の駆動電圧にまで電圧増幅するための増幅器を付加することもできる。

【0107】アナログ信号を用いた電圧変調方式の場合、変調信号発生器107には、例えばオペアンプ等を用いた増幅回路を採用でき、必要に応じてレベルシフト回路等を付加することもできる。パルス幅変調方式の場合には、例えば電圧制御型発振回路（VCO）を採用でき、必要に応じて表面伝導型電子放出素子の駆動電圧にまで電圧増幅するための増幅器を付加することもできる。

【0108】このような構成をとり得る本発明を適用可能な画像形成装置においては、各電子放出素子に、容器外端子Dx1乃至Dxm、Dy1乃至Dymを介して電圧を印加することにより、電子放出が生じる。高圧端子87を介してメタルバック85あるいは透明電極（不図示）に高圧を印加し、電子ビームを加速する。加速された電子は、蛍光膜84に衝突し、発光が生じて画像が形成される。

【0109】ここで述べた画像形成装置の構成は、本発明を適用可能な画像形成装置の一例であり、本発明の技術思想に基づいて種々の変形が可能である。入力信号についてはNTSC方式を挙げたが、入力信号はこれに限られるものではなく、PAL、SECAM方式等の他、これらよりも多数の走査線からなるTV信号（例えば、MUSE方式をはじめとする高品位TV）方式をも採用

【0110】次に、前述の梯子型配置の電子源及び画像形成装置について、図10及び図11を用いて説明する。

【0111】図10は、梯子型配置の電子源の一例を示す模式図である。図10において、110は電子源基板、111は電子放出素子である。112は、電子放出素子111を接続するための共通配線D1～D10であり、これらは外部端子として引き出されている。電子放出素子111は、基板110上に、X方向に並列に複数個配置されている（これを素子行と呼ぶ）。この素子行が複数個配置されて、電子源を構成している。各素子行の共通配線間に駆動電圧を印加することで、各素子行を独立に駆動させることができる。即ち、電子ビームを放出させたい素子行には、電子放出閾値以上の電圧を印加し、電子ビームを放出させたくない素子行には、電子放出閾値以下の電圧を印加する。各素子行間に位置する共通配線D2～D9は、例えばD2とD3、D4とD5、D6とD7、D8とD9を夫々一体の同一配線とすることもできる。

【0112】図11は、梯子型配置の電子源を備えた画像形成装置におけるパネル構造の一例を示す模式図である。120はグリッド電極、121は電子が通過するための開口、D1乃至Dmは容器外端子、G1乃至Gnはグリッド電極120と接続された容器外端子である。110は各素子行間の共通配線を同一配線とした電子源基板である。図11においては、図7、図10に示した部位と同じ部位には、これらの図に付したのと同一の符号を付している。ここに示した画像形成装置と、図7に示した単純マトリクス配置の画像形成装置との大きな違いは、電子源基板110とフェースプレート86の間にグリッド電極120を備えているか否かである。

【0113】図11においては、基板110とフェースプレート86の間には、グリッド電極120が設けられている。グリッド電極120は、表面伝導型電子放出素子111から放出された電子ビームを変調するためのものであり、梯子型配置の素子行と直交して設けられたストライプ状の電極に電子ビームを通過させるため、各素子に対応して1個ずつ円形の開口121が設けられている。グリッド電極の形状や配置位置は、図11に示したものに限定されるものではない。例えば、開口としてメッシュ状に多数の通過口を設けることもでき、グリッド電極を表面伝導型電子放出素子の周囲や近傍に設けることもできる。

【0114】容器外端子D1乃至Dm及びグリッド容器外端子G1乃至Gnは、不図示の制御回路と電気的に接続されている。

【0115】本例の画像形成装置では、素子行を1列ずつ順次駆動（走査）して行くのと同期してグリッド電極列に画像1ライン分の変調信号を同時に印加する。これにより、各電子ビームの蛍光体への照射を制御し、画像

を1ラインずつ表示することができる。

【0116】以上説明した本発明の画像形成装置は、テレビジョン放送の表示装置、テレビ会議システムやコンピュータ等の表示装置の他、感光性ドラム等を用いて構成された光プリンターとしての画像形成装置等としても用いることができる。

【0117】

【実施例】以下、具体的な実施例を挙げて本発明を詳しく説明するが、本発明はこれら実施例に限定されるものではなく、本発明の目的が達成される範囲内での各要素の置換や設計変更がなされたものも包含する。

【0118】[実施例1] 本実施例に係る電子放出素子は、図1に示したような構成のものである。以下、本実施例における素子の作製方法を説明する。

【0119】厚さ1mmの石英基板を1インチ×1.5インチ角に切り出し、これを1%中性洗剤（Extra MA; Merck社製）中で超音波洗浄、純水中での超音波洗浄、引き続き純水流水洗浄後、1, 1, 1, 3, 3, 3-ヘキサメチルジシラザン（以下、「HMD S」と称す。）雰囲気に一昼夜曝露して、該基板1に一樣な疎水性を付与した。

【0120】次に、上記基板1にまずTiを10nm、引き続きPtを30nmを蒸着し、フォトリソグラフィ法により素子電極間隔Lが10μm、素子電極長Wが200μmの素子電極2, 3を作製した。更に、素子電極2, 3の対向面とは反対の部位に、その面積の1/3程度が重なるようにPtをメタルマスクを用いた真空蒸着法により100nm蒸着した。これは後に配線を形成しやすくするための引き出し電極と呼ばれるものである。なお、一枚の基板1には、上記構成を1単位として8単位を形成した。

【0121】次にオゾン存在下での紫外線照射（UV-300型; Samco International社製）により上記基板1を清浄化して、直ちにHMD S雰囲気下に封入し、同雰囲気に一昼夜曝露した。

【0122】一方、酢酸パラジウム（和光純薬社製）とジ-n-デシルアミン（東京化成社製）をモル比1:2に混合した上で、140mMとなるようにクロロフォルム溶液として調製した。これとは別に、1, 6mMベヘン酸（Fluka社製）クロロフォルム溶液を調製しておき、該溶液に上記の酢酸パラジウム/ジ-n-デシルアミン混合液を0.4mMになるよう、先のベヘン酸溶液に加え、十分に混和した。

【0123】該試料溶液をLB膜成膜装置のトラフに満たした純水上に添加した後、表面圧を20mN/mにまで高め、該試料の単分子膜を上記水面上に形成した。この表面圧を維持したまま、上記で形成したHMD S処理済みの基板1を、水面上に形成した該LB単分子膜に浸漬することにより、該基板1上にLB膜を積層した。この際、速度10cm/分にて上記水面に垂直に、素子電

## 21

極2、3の対向面に平行な方向に基板1を静かに移動して浸漬し、引き続き同じ速度でこれを引き上げて、前記試料の2層LB膜を該基板1上に累積した。この浸漬・引き上げ操作を繰り返し、酢酸パラジウム/ジ-*n*-デシルアミン/ベヘン酸からなる300層のLB膜を形成した。

【0124】次に該基板1を300℃に設定された電気炉（大気中）に入れて焼成を行い、有機成分を除去した。この時点で前記LB膜は酸化パラジウム膜となり、導電性が付与され、導電性膜4が形成される。

【0125】その後、上記成膜法で作製した素子の導電性膜4が、所望の膜厚分布で形成されていることを確認するため、該導電性膜4を付与した基板1の裏側から薄片化を行い、透過電子顕微鏡により面内方向から観察を行った。この観察による素子電極2、3間の導電性膜4の電子顕微鏡像の模式図を図12(a)に、また、図12(a)中の導電性膜4の拡大図を図12(b)に示す。

【0126】図12(a)に示されるように、素子電極2、3の対向面側から〜200nm離れた位置に、酸化パラジウム膜の膜厚が薄い領域131（白っぽく見える領域）が〜100nm幅で電極エッジに沿って直線的に形成されていることを確認した（以下、この領域を「ストライプ領域131」と記す。）。また、導電性膜4のそれ以外の領域に、〜100nm間隔で、厚い領域（黒っぽく見える領域）と薄い領域（白っぽく見える領域）が交互に入り組んだ迷路構造が形成されていることを確認した。さらに導電性膜4の膜質を詳細に観察した結果、これらの膜厚が薄い部位では、成膜したPdO膜が、島状に形成されており、石英基板が露出している部分が存在していた。これに対して、PdO膜の厚い領域ではPdO膜が、隙間なく形成されており、石英基板はほとんど露出していなかった。以上、透過電子顕微鏡による観察結果から、上記成膜法で作製した導電性膜4が、所望の形態に作製されたことが確認できた。

【0127】次に上記基板1について、該導電性膜4の不要な部分をフォトリソグラフィ法で除去し、更にAgを用いて印刷法にて導電性配線を形成し、素子抵抗を測定した。その結果、4、3KΩの抵抗値を測定した。更に同一基板内の8個の素子の抵抗値のばらつきを確認したが、有為差はなかった。

【0128】次の工程としてフォーミングを行なう。前記導電性膜4を形成した素子を10<sup>-3</sup>Pa下の真空槽に導入し、素子電極2、3間に電圧波高値10V、幅1m秒、間隔10m秒の三角波を30秒間にわたり、繰り返し印加した。その結果、素子電極のエッジに沿って形成されていた前記ストライプ領域131に、略直線状の亀裂が形成され、電子放出部5が形成された。かかる電子放出部5部分の拡大模式図を図13に示す。尚、同一基板内の8個の素子について、上記フォーミングによって

## 22

形成された電子放出部5を調べた結果、いずれの素子も素子電極2、3の夫々のエッジに沿って形成されていた前記ストライプ領域131の一方にのみ形成されており、その全長はほぼ同一であった。

【0129】ここで更に、上記真空槽内に1、3×10<sup>-1</sup>Pa分圧のアセトンを導入し、前記フォーミングと同様の電圧パルスを繰り返し印加し、活性化を行ない、素子電流が3mAになった時点で電圧印加を止め、活性化処理を終了した。以上のようにして作製した表面伝導型電子放出素子を10<sup>-3</sup>Paの真空雰囲気中で、150℃の加熱を3時間行なった後、14Vの素子電圧を印加したところ、素子電流2、5mA、放出電流2、4μAの素子特性を確認した。

【0130】上記工程と同一工程を通して、100個の電子放出素子を作製したところ、すべての素子において、前記ストライプ領域131の一方にのみ電子放出部5が形成され、100個の素子の放出電流値のばらつきは3%以内におさまった。

【0131】[実施例2] 実施例1と同様の基板1に対しHMDS処理を同様に施した。

【0132】次に、上記基板1にまずTiを10nm、引き続きPtを30nmを蒸着し、フォトリソグラフィ法により素子電極間隔Lが10μm、素子電極長Wが200μmの素子電極2、3を作製した。更に、素子電極2、3の対向面とは反対の部位に、その面積の1/3程度が重なるようにPtをメタルマスクを用いた真空蒸着法により100nm蒸着した。なお、一枚の基板1には、上記構成を1単位として8単位を形成した。

【0133】次にオゾン存在下での紫外線照射（UV-300型；Samco International社製）により上記基板1を清浄化して、直ちにHMDS雰囲気下に封入し、同雰囲気に一昼夜曝露した。

【0134】一方、酢酸パラジウム/ジ-*n*-デシルアミン混合液及びベヘン酸溶液との混合を実施例1の処方に従って行った。

【0135】該試料溶液をLB膜成膜装置のトラフに満たした純水上に添加した後、実施例1と同様の手順にて酢酸パラジウム/ジ-*n*-デシルアミン/ベヘン酸/NBD-ステアリン酸からなる300層のLB膜を該基板1上に形成した。

【0136】次に該基板1を300℃に設定された電気炉（大気中）に入れて焼成を行い、有機成分を除去した。この時点で前記LB膜は酸化パラジウム膜となり、導電性が付与され、導電性膜4が形成された。

【0137】その後、上記成膜法で作製した導電性膜4が、所望の膜厚分布で形成されていることを確認するため、実施例1と同様に基板1側から薄片化し、透過電子顕微鏡により、面内方向から観察を行った。その結果、実施例1と同様の膜構造が形成されており、導電性膜4が、所望の膜厚分布で作製できたことを確認した。



【0138】次に上記基板1について、導電性膜4の不要部分をフォトリソグラフィ法で除去し、更にAgを用いて印刷法にて導電性配線を形成し、素子抵抗を測定した。その結果、4.3KΩの抵抗値を測定した。更に同一基板内の8個の素子の抵抗値のばらつきを確認したが、有為差はなかった。

【0139】次にフォーミングを行なうが、その際、マイナス電極ギワに直線状に形成されているストライプ領域131に電子放出部5を制御して形成するため、予め、顕微鏡下で鋭く尖った針先を用い、マイナス電極ギワの300nm位置を機械的にけがくことにより、予め局所的に抵抗が高い部分を形成した。

【0140】その後、次の条件でフォーミング工程を行った。前記導電性膜4を形成した素子を $10^{-3}$ Pa下の真空槽に導入し、素子電極2、3間に電圧波高値10V、幅1m秒、間隔10m秒の三角波を30秒間にわたり、繰り返し印加した。その結果、マイナス素子電極のエッジに沿って略直線状の亀裂が形成され、電子放出部5が形成されており、同一基板内の8個の素子の電子放出部5を調べた結果、形成位置及びその全長についてのバラツキもほとんど認められなかった。

【0141】ここで更に、上記真空槽内に $1.3 \times 10^{-1}$ Pa分圧のアセトンを導入し、前記フォーミングと同様の電圧パルスを繰り返し印加し、活性化を行ない、素子電流が3mAになった時点で電圧印加を止め、活性化処理を終了した。

【0142】以上のようにして作製した表面伝導型電子放出素子を $10^{-4}$ Paの真空雰囲気、150℃の加熱を3時間行なった後、14Vの素子電圧を印加したところ、素子電流2.7mA、放出電流2.8μAの素子特性を確認した。

【0143】上記工程と同一工程を通して、100個の電子放出素子を作製したところ、すべての素子において、前記マイナス素子電極ギワに電子放出部5が形成され、100個の素子の放出電流値のばらつきは1%以内におさまった。

【0144】また、これとは逆に、プラス素子電極ギワのストライプ領域131に同様の方法で局所的に抵抗が高い部分を形成した後、電子放出部5を形成した以外は、上記と全く同様にして電子放出素子を形成し、14Vの素子電圧を印加して素子特性を調べた。その結果、放出電流は2.1μA以下であり、電子放出部5をマイナス素子電極ギワに形成した場合に比べて、素子特性が劣っていた。

【0145】[比較例] 本比較例に係る電子放出素子も図1に示したような構成のものであるが、導電性膜4を有機金属溶液の塗布法を用いて作成した。以下、本比較例における素子の作製方法を説明する。

【0146】まず、素子電極2、3を設けた基板1に、有機金属溶液をスピナー法で塗布し有機金属薄膜を形

成した後、310℃で加熱焼成処理し、導電性膜4を形成した。ここで用いた有機金属溶液は、奥野製薬(株)製のPd金属を主元素とする有機金属溶液である。次に、上記基板1について、導電性膜4の不要部分をフォトリソグラフィ法で除去し、所望のパターンを有する導電性膜4を形成した。次に、実施例1と同様に通電フォーミングと活性化処理を行ない、150℃の加熱を3時間行った後、15Vの電圧を印加した。その結果、本比較例の素子では、平均で素子電流2.1mA、放出電流1.7μAの電子放出特性が確認された。しかし、上記工程と同一工程を通して、100個の電子放出素子を作製したところ、100個の放出電流値のばらつきは~10%程度であり、大きなバラツキを有した。

【0147】また、本比較例の素子を透過電子顕微鏡により観察したところ、図14の拡大模式図に示すように、数μm~数十μm間隔で電子放出部5の幅が非常に太くなった領域141(バクハツビット)が形成されていた。

【0148】[実施例3] 実施例1の表面伝導型電子放出素子を単純マトリクス配置した図6に示したような電子源基板を用いて、図7に示したような画像形成装置を作製した例を示す。

【0149】電子源基板の一部の平面図を図15に示す。また、図15中のA-A'の断面図を図16に、製造手順を図17及び図18に示す。尚、図15~図18において同じ符号は同じ部材を示す。71は電子源基板、72はX方向配線(下配線とも呼ぶ)、73はY方向配線(上配線とも呼ぶ)、151は層間絶縁層、152は素子電極2と下配線72と電気的接続のためのコンタクトホールである。

【0150】本実施例の製造方法を、図17及び図18に基づいて工程順に従って具体的に説明する。尚、以下の各工程-a~hは図17及び図18の(a)~(h)に対応するものである。

【0151】工程-a

清浄化した青板ガラス上に厚さ0.5μmのシリコン酸化膜をスパッタ法で形成した基板71上に真空蒸着により、厚さ50ÅのCr、厚さ6000ÅのAuを順次積層した後、ホトレジスト(AZ1370;ヘキスト社製)をスピナーにより回転塗布し、ベークした後、ホトマスク像を露光、現像して、下配線72のレジストパターンを形成し、Au/Cr堆積膜をウェットエッチングして、所望の形状の下配線72を形成した。

【0152】工程-b

次に、厚さ1μmのシリコン酸化膜からなる層間絶縁層151をRFスパッタ法により堆積した。

【0153】工程-c

工程bで堆積したシリコン酸化膜にコンタクトホール152を形成するためのホトレジストパターンを作り、これをマスクとして層間絶縁層151をエッチングしてコ

10

20

30

40

50



ンタクトホール152を形成した。エッチングは $\text{CF}_4$ と $\text{H}_2$ ガスをを用いたRIE(Reactive Ion Etching)法を用いた。

#### 【0154】工程-d

その後、素子電極2、3と素子電極間ギャップとなるベキパターンをホトレジスト(RD-2000N-41; 日立化成社製)で形成し、真空蒸着法により、厚さ50ÅのTi、厚さ1000ÅのNiを順次堆積した。ホトレジストパターンを有機溶剤で溶解し、Ni/Ti堆積膜をリフトオフし、素子電極間隔Lが3μm、幅Wが300μmの素子電極2、3を形成した。

#### 【0155】工程-e

素子電極2、3の上に上配線73のホトレジストパターンを形成した後、厚さ50ÅのTi、厚さ5000ÅのAuを真空蒸着により順次堆積し、リフトオフにより不要の部分を除去して、所望の形状の上配線73を形成した。

#### 【0156】工程-f

次にオゾン存在下での紫外線照射(UV-300型; Samco International社製)により上記基板71を清浄化して、直ちにHMD S雰囲気下に封入し、同雰囲気に一昼夜曝露した。

【0157】一方、酢酸パラジウム/ジ-n-デシルアミン混合液及びベヘン酸溶液との混合を実施例1の処方に従って行った。

【0158】該試料溶液をLB膜成膜装置のトラフに満たした純水上に添加した後、実施例1と同様の手順にて酢酸パラジウム/ジ-n-デシルアミン/ベヘン酸/NBD-ステアリン酸からなる300層のLB膜を該基板71上に形成した。この際、基板71のLB膜へのディッピング方向は上配線73と平行にした。

【0159】次に該基板71を300℃に設定された電気炉(大気中)に入れて焼成を行い、有機成分を除去した。この時点で前記LB膜は酸化パラジウム膜となり、導電性が付与され、導電性膜4が形成された。

#### 【0160】工程-g

次に、導電性膜4の不要な部分をフォトリソグラフィ法で除去し、所望のパターンを形成した。

#### 【0161】工程-h

コンタクトホール152部分以外にレジストを塗布してパターンを形成し、真空蒸着により厚さ50ÅのTi、厚さ5000ÅのAuを順次堆積した。リフトオフにより不要の部分を除去することにより、コンタクトホール152を埋め込んだ。

【0162】次に以上のようにして作製した未フォーミングの電子源基板71を用いて表示装置を構成した例を図7と図8を用いて説明する。

【0163】上述のようにして多数の導電性膜4をマトリクス配線した電子源基板71(図15)をリアプレート81上に固定した後、電子源基板71の5mm上方

に、フェースプレート86(ガラス基板83の内面に蛍光膜84とメタルバック85が形成されて構成される)を支持枠82を介し配置し、フェースプレート86支持枠82、リアプレート81の接合部にフリットガラスを塗布し、大気中で400℃ないし500℃で10分以上焼成することで封着した(図7)。尚、リアプレート81への電子源基板71の固定もフリットガラスで行なった。

【0164】蛍光膜84は、モノクロームの場合は蛍光体のみからなるが、本実施例では蛍光体84はストライプ形状(図8(a))を採用し、先にブラックストライプを形成し、その間隙部に各色蛍光体を塗布して蛍光膜84を作製した。ブラックストライプの材料としては、通常よく用いられている黒鉛を主成分とする材料を用いた。

【0165】ガラス基板83に蛍光体を塗布する方法はモノクロームの場合は沈澱法や印刷法が用いられるが、カラーである本実施例では、スラリー法を用いた。カラーの場合にも印刷法を用いても同等の塗布膜が得られる。

【0166】メタルバック85は蛍光膜作製後、蛍光膜内面側表面の平滑化処理(通常フィルミングと呼ばれる)を行い、その後A1を真空蒸着することで作製した。フェースプレート86には、さらに蛍光膜84の導電性を高めるために、蛍光膜84の外周側に透明電極(不図示)が設けられる場合もあるが、本実施例ではメタルバック85のみで充分な導電性が得られたので省略した。

【0167】前述の封着を行う際、カラーの場合は各色蛍光体と電子放出素子とを対応させなくてはならないため、充分な位置合わせを行った。

【0168】以上のようにして完成したパネル(外囲器88)内の雰囲気を不図示の排気管を通じて排気し、充分な真空度に達した後、容器外端子Dx1ないしDxmとDy1ないしDynを通じ素子電極2、3間に電圧を印加し、導電性膜4をフォーミング処理することで、電子放出部5を作製した。

【0169】フォーミング処理の電圧波形は、図3(a)と同様とした。尚、本実施例ではT1を1m秒とし、T2を10m秒として、約 $10^{-3}$ Paの真空雰囲気で行なった(三角波の波高値は5Vである)。

【0170】次に、 $2.7 \times 10^{-3}$ Paの真空雰囲気下で、波高値14V、パルス幅30μ秒のパルス電圧を印加し、素子電流If、放出電流Ieを測定しながら、活性化工程を行なった。

【0171】その後、イオンポンプなどのオイルを使用しないポンプ系の超高真空排気装置に切り換え、120℃で充分な時間ベーキングし、安定化工程を行なった。ベーキング後の真空度は $4.2 \times 10^{-5}$ Pa程度で、有機物分圧は $3.2 \times 10^{-6}$ Pa程度であった。

【0172】さらに排気管（不図示）の封止を行なう前に、外囲器88全体を真空排気しながら120℃で約1時間ベーキングした。この工程により、外囲器88内の吸着物を脱離させる。そして、排気管（不図示）をガスバーナーで熱することで容着し、外囲器88の封止を行なった。

【0173】最後に封止後の真空度を維持するために、外囲器88内の所定の位置（不図示）に配置されたゲッタを加熱しゲッタ処理を行った。

【0174】以上のように完成した本発明の画像表示装置において、各電子放出素子には、容器外端子Dx1ないしDxmとDy1ないしDynを通じ、電圧を印加することにより、電子放出させ、高圧端子87を通じ、メタルバック85に数KV以上の高圧を印加し、電子ビームを加速し、蛍光膜84に衝突させ、励起・発光させることで画像を表示することができる。

【0175】本実施例の画像表示装置において、15Vの素子電圧を各電子放出部に印加し、各電子放出素子の特性を測定したところ、平均で素子電流2.7mA、放出電流2.8μAの値が得られ、すべての電子放出部においてばらつきは1%以内に収まっていた。さらに単純マトリクス駆動により画像を表示したところ、高輝度且つ輝度の均一性が非常に良好な画像が得られた。

【0176】以上述べた構成は、画像表示装置を作製する上で必要な概略構成であり、例えば、各部材の材料など、詳細な部分は上述内容に限られるものではない。

【0177】

【発明の効果】以上説明したように、本発明によれば、単に電子放出部を形成しようとする導電性膜内の所望の領域の導電率（抵抗）のみを他の領域と異ならせるのではなく、電子放出部となる領域以外の領域においても導電率が互いに異なる少なくとも2つの導電領域に区分し、かつ、各々の導電領域を線状とすることにより、通電フォーミング時に所望の領域に形成される亀裂の幅が必要以上に広がるのを防止し、細く均一な幅の電子放出部を形成することができる。

【0178】特に、導電性膜の形成にLB法を用いることにより、互いに導電率の異なる一対の線状の導電領域を電極の一端面に沿って形成することができる。これにより、その後の通電フォーミングにおいて、上記電極の一端面に沿って細く均一な幅の亀裂を形成することができ、電子放出部の位置及び全長を制御することも可能である。

【0179】その結果、本素子に対して従来と同様な活性化工程を施した場合、極めて短時間に均一な活性化を行うことができ、電子放出部の全領域にわたり均一な電子放出が得られると共に、より高い電子放出効率が達成される。しかも、多数の電子放出素子を配置した電子源を作製した場合には、各素子の電子放出特性を極めて均一にできるため、画像形成装置の電子ビーム源として好

適に用いることができる。即ち、本発明による電子源を適用することにより、低い消費電力で高輝度で均一性の高い画像形成装置を提供することができる。

【図面の簡単な説明】

【図1】本発明の電子放出素子の一例である表面伝導型電子放出素子を模式的に示した図である。

【図2】図1の表面伝導型電子放出素子の製造方法の一例を説明するための図である。

【図3】フォーミング処理に用いる電圧波形の一例である。

【図4】本発明の電子放出素子の製造に用いることのできる真空処理装置（測定評価装置）の一例を示す概略構成図である。

【図5】本発明の表面伝導型電子放出素子の放出電流I<sub>e</sub>および素子電流I<sub>f</sub>と素子電圧V<sub>f</sub>の関係の典型的な例を示す図である。

【図6】単純マトリクス配置の本発明の電子源の概略構成図である。

【図7】単純マトリクス配置の電子源を用いた本発明の画像形成装置に用いる表示パネルの概略構成図である。

【図8】図7の表示パネルにおける蛍光膜を示す図である。

【図9】図7の表示パネルを駆動する駆動回路の一例を示す図である。

【図10】梯子型配置の本発明の電子源の概略平面図である。

【図11】梯子型配置の電子源を用いた本発明の画像形成装置に用いる表示パネルの概略構成図である。

【図12】実施例1に係る素子の導電性膜の電子顕微鏡による像を模式的に示した図である。

【図13】実施例1に係る素子の電子放出部の電子顕微鏡による像を模式的に示した図である。

【図14】比較例に係る素子の電子放出部の電子顕微鏡による像を模式的に示した図である。

【図15】実施例3に係る単純マトリクス配置の電子源基板の部分平面図である。

【図16】図15の電子源基板の部分断面図である。

【図17】図15の電子源基板の製造方法を説明するための図である。

【図18】図15の電子源基板の製造方法を説明するための図である。

【図19】従来例の表面伝導型電子放出素子の平面図である。

【符号の説明】

1 基板

2, 3 素子電極

4 導電性膜

5 電子放出部

50 素子電流I<sub>f</sub>を測定するための電流計

51 電子放出素子に素子電圧V<sub>f</sub>を印加するための電

源

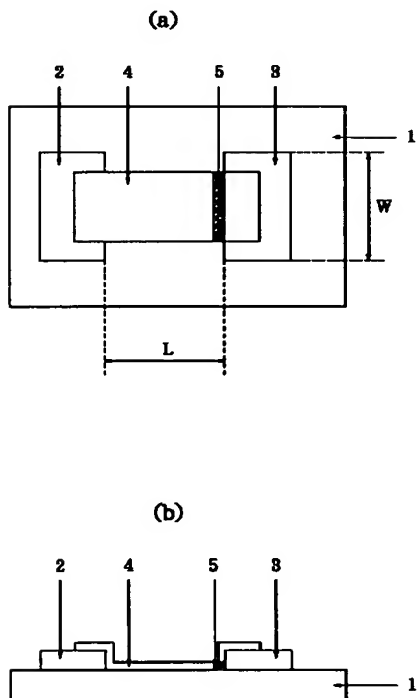
- 52 放出電流  $I_e$  を測定するための電流計  
 53 アノード電極54に電圧を印加するための高圧電  
 源  
 54 電子放出部より放出される電子を捕捉するため  
 のアノード電極  
 55 真空容器  
 56 排気ポンプ  
 71 電子源基板  
 72 X方向配線  
 73 Y方向配線  
 74 表面伝導型電子放出素子  
 75 結線  
 81 リアプレート  
 82 支持枠  
 83 ガラス基板  
 84 蛍光膜  
 85 メタルバック  
 86 フェースプレート  
 87 高圧端子

88 外囲器

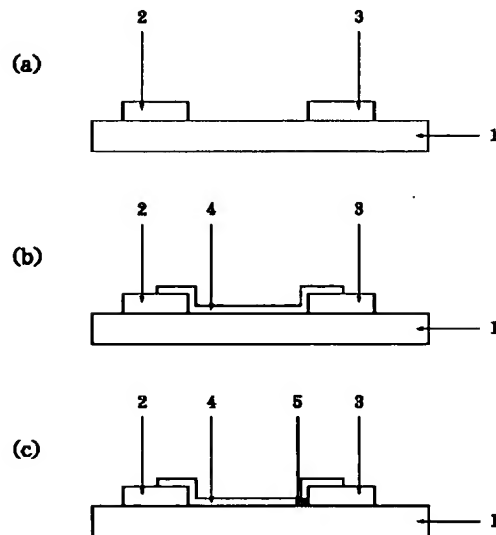
- 91 黒色導電材  
 92 蛍光体  
 101 表示パネル  
 102 走査回路  
 103 制御回路  
 104 シフトレジスタ  
 105 ラインメモリ  
 106 同期信号分離回路  
 107 変調信号発生器  
 110 電子源基板  
 111 電子放出素子  
 112 電子放出素子を配線するための共通配線  
 120 グリッド電極  
 121 電子が通過するための開口  
 131 ストライプ領域  
 141 バクハツビット  
 151 層間絶縁層  
 152 コンタクトホール

20

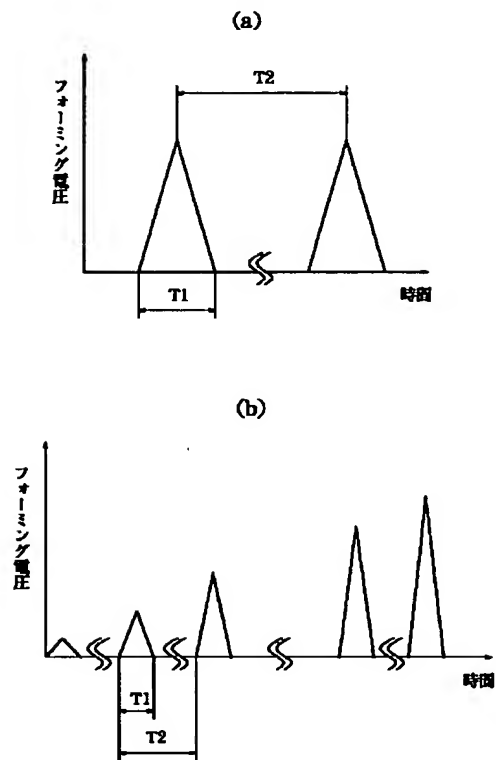
【図1】



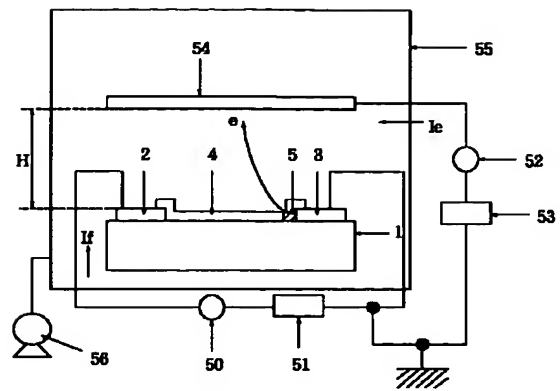
【図2】



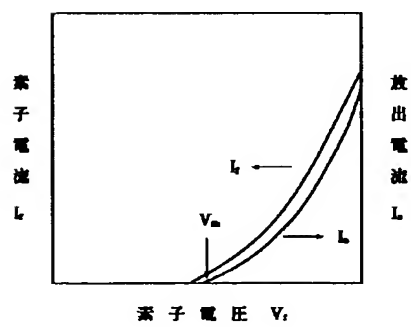
【図3】



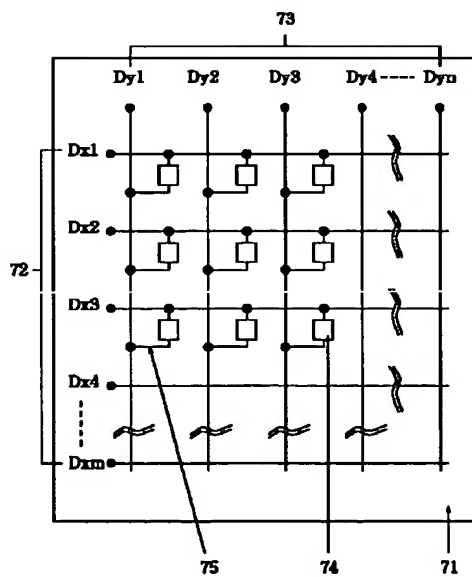
【図4】



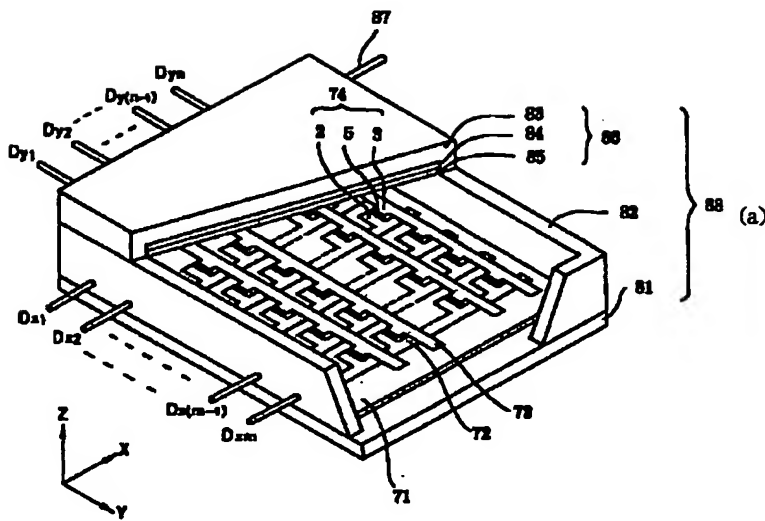
【図5】



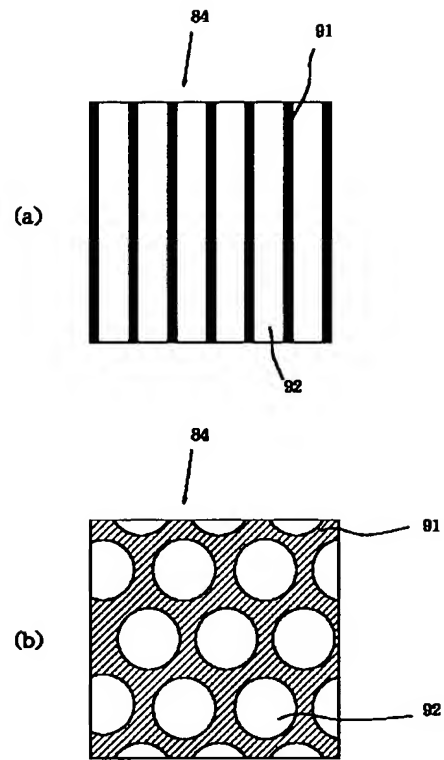
【図6】



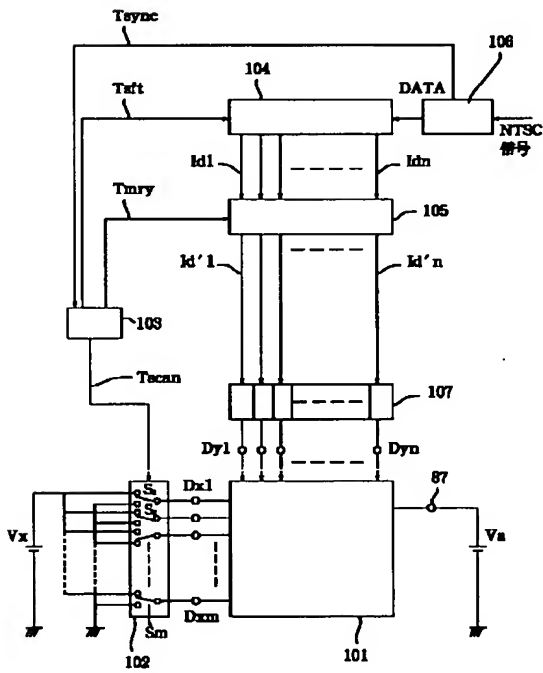
【図7】



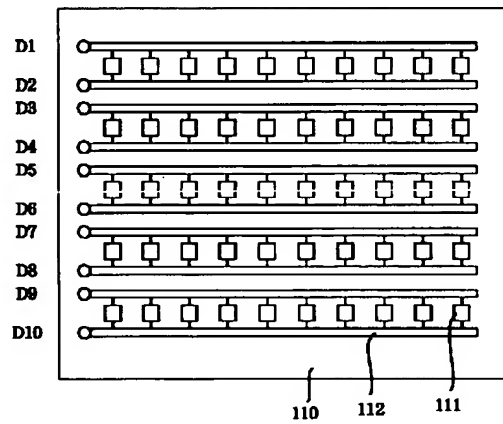
【図8】



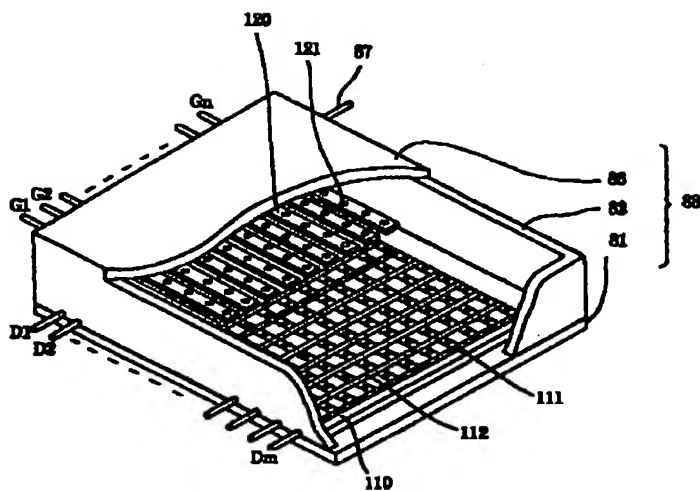
【図9】



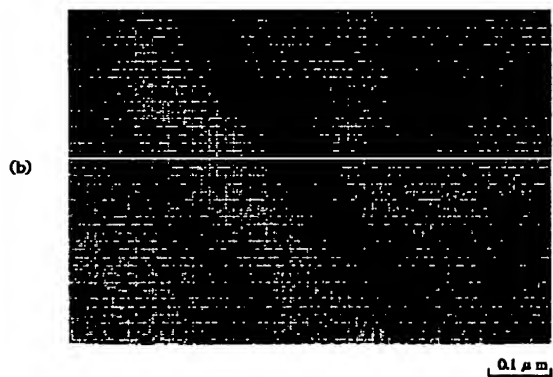
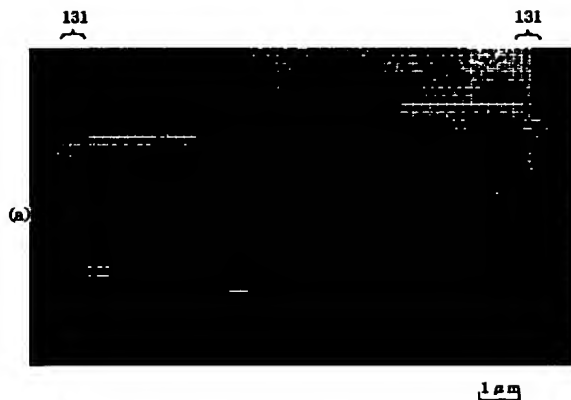
【図10】



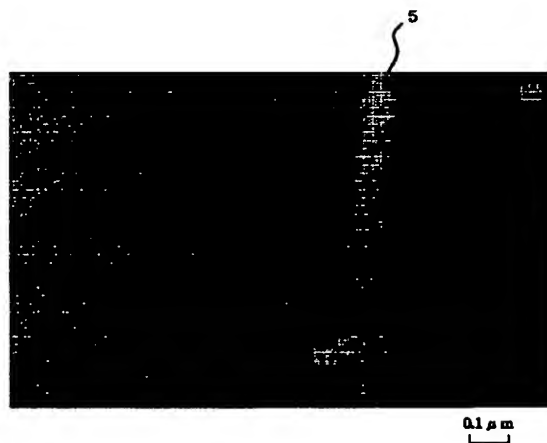
【図11】



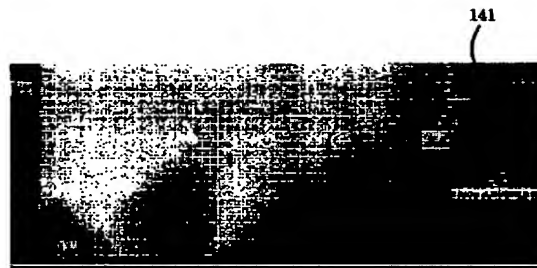
【図12】



【図13】



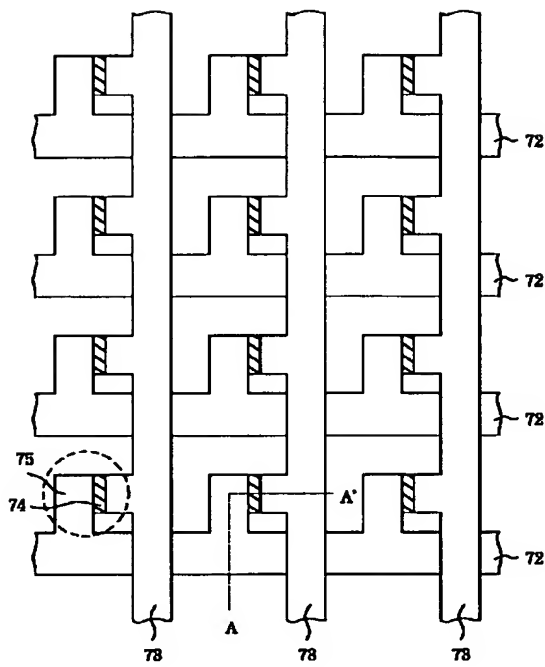
【図14】



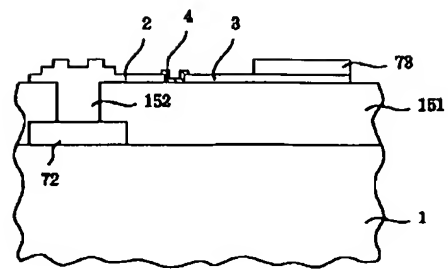
BEST AVAILABLE COPY



【図15】

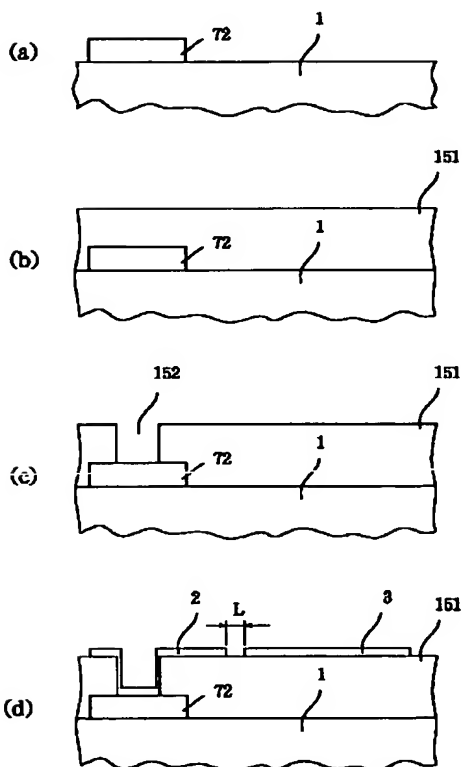


【図16】

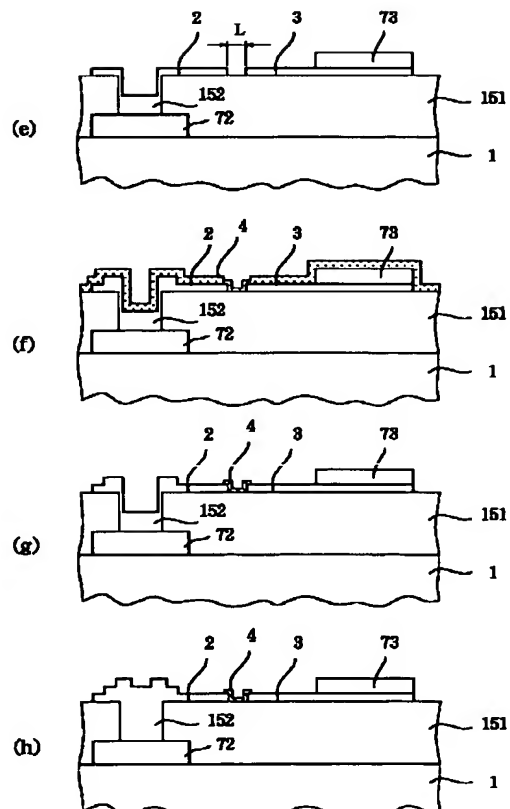


A-A' 断面図

【図17】



【図18】



## 【手続補正書】

【提出日】平成10年6月19日

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正内容】

【0007】これらの表面伝導型電子放出素子の典型的な例として、前述のM. ハートウェルの素子構成について説明する。このM. ハートウェルの素子では、基板上に形成されたH型形状のパターンの金属酸化物薄膜等からなる導電性膜に、後述の通電フォーミングと呼ばれる通電処理により電子放出部が形成される。

## 【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正内容】

【0008】これらの表面伝導型電子放出素子においては、電子放出を行う前に導電性膜を予め通電フォーミングと呼ばれる通電処理によって電子放出部を形成するのが一般的である。即ち、通電フォーミングとは、前記導電性膜の両端に電圧を印加通電し、導電性膜を局所的に破壊、変形もしくは変質させて構造を変化させ、電気的に高抵抗な状態の電子放出部を形成する処理である。尚、電子放出部では導電性膜の一部に亀裂が発生しており、その亀裂付近から電子放出が行われる。

## 【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】図面の簡単な説明

【補正方法】変更

【補正内容】

【図面の簡単な説明】

【図1】本発明の電子放出素子の一例である表面伝導型電子放出素子を模式的に示した図である。

【図2】図1の表面伝導型電子放出素子の製造方法の一例を説明するための図である。

【図3】フォーミング処理に用いる電圧波形の一例である。

【図4】本発明の電子放出素子の製造に用いることのできる真空処理装置（測定評価装置）の一例を示す概略構成図である。

【図5】本発明の表面伝導型電子放出素子の放出電流 $I_e$ および素子電流 $I_f$ と素子電圧 $V_f$ の関係の典型的な例を示す図である。

【図6】単純マトリクス配置の本発明の電子源の概略構成図である。

【図7】単純マトリクス配置の電子源を用いた本発明の画像形成装置に用いる表示パネルの概略構成図である

【図8】図7の表示パネルにおける蛍光膜を示す図であ

る。

【図9】図7の表示パネルを駆動する駆動回路の一例を示す図である。

【図10】梯子型配置の本発明の電子源の概略平面図である。

【図11】梯子型配置の電子源を用いた本発明の画像形成装置に用いる表示パネルの概略構成図である。

【図12】実施例1に係る素子の導電性膜の電子顕微鏡による像を模式的に示した図である。

【図13】実施例1に係る素子の電子放出部の電子顕微鏡による像を模式的に示した図である。

【図14】比較例に係る素子の電子放出部の電子顕微鏡による像を模式的に示した図である。

【図15】実施例3に係る単純マトリクス配置の電子源基板の部分平面図である。

【図16】図15の電子源基板の部分断面図である。

【図17】図15の電子源基板の製造方法を説明するための図である。

【図18】図15の電子源基板の製造方法を説明するための図である。

【符号の説明】

- 1 基板
- 2, 3 素子電極
- 4 導電性膜
- 5 電子放出部
- 50 素子電流 $I_f$ を測定するための電流計
- 51 電子放出素子に素子電圧 $V_f$ を印加するための電源
- 52 放出電流 $I_e$ を測定するための電流計
- 53 アノード電極54に電圧を印加するための高圧電源
- 54 電子放出部5より放出される電子を捕捉するためのアノード電極
- 55 真空容器
- 56 排気ポンプ
- 71 電子源基板
- 72 X方向配線
- 73 Y方向配線
- 74 表面伝導型電子放出素子
- 75 結線
- 81 リアプレート
- 82 支持枠
- 83 ガラス基板
- 84 蛍光膜
- 85 メタルバック
- 86 フェースプレート
- 87 高圧端子
- 88 外囲器
- 91 黒色導電材

- |     |          |     |                    |
|-----|----------|-----|--------------------|
| 92  | 蛍光体      | 111 | 電子放出素子             |
| 101 | 表示パネル    | 112 | 電子放出素子を配線するための共通配線 |
| 102 | 走査回路     | 120 | グリッド電極             |
| 103 | 制御回路     | 121 | 電子が通過するための開口       |
| 104 | シフトレジスタ  | 131 | ストライプ領域            |
| 105 | ラインメモリ   | 141 | バクハツビット            |
| 106 | 同期信号分離回路 | 151 | 層間絶縁層              |
| 107 | 変調信号発生器  | 152 | コンタクトホール           |
| 110 | 電子源基板    |     |                    |